

## ⑫ 公開特許公報(A)

昭63-157233

⑤Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④公開 昭和63年(1988)6月30日

G 06 F 7/50

L-8320-5B

審査請求 未請求 発明の数 1 (全4頁)

⑬発明の名称 浮動小数点演算装置

⑭特 願 昭61-304460

⑮出 願 昭61(1986)12月20日

⑯発明者 山 田 雄 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑯発明者 宇 都 宮 晋 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑯発明者 井 実 健 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑱代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1. 発明の名称

浮動小数点演算装置

## 2. 特許請求の範囲

2つの正規化された浮動小数点データのうち指数の値が小なる一方の浮動小数点データの仮数部を該2つの浮動小数点データの指数差だけLSB方向に右シフトして加減算器(13)に供給し、他方の浮動小数点データの仮数部と加算又は減算して出力する浮動小数点演算装置において、

該一方の浮動小数点データの仮数部を右シフトして該加減算器(13)に供給すると共に、該右シフトによりシフトアウトされる全ビットを出力する右シフト回路(11)と、

該右シフト回路(11)よりシフトアウトされる全ビットの論理和演算を行なって、減算時の該加減算器(13)に対するボロー及び該加減算器(13)の出力する仮数部に対する丸め処理用のスティッキのうち少なくともいずれか一方として用いられる演算結果信号を生成する論理和回路

(14)とを有することを特徴とする浮動小数点演算回路。

## 3. 発明の詳細な説明

(概要)

本発明は浮動小数点演算装置であって、右シフト回路でシフトアウトされる全ビットの論理和演算を行なって、その結果をボロー及びスティッキのうち少なくともいずれか一方として用いることにより、簡易構成で演算速度を高速化する。

(産業上の利用分野)

本発明は浮動小数点演算装置に関し、浮動小数点データの加算、減算を行なう浮動小数点演算装置に関する。

浮動小数点データの加算又は減算を行なう場合には、2つの正規化された浮動小数点データのうち指数部の値が小なる浮動小数点データの仮数部を2つの浮動小数点データの指数差だけLSB方向に右シフトして重ね合わせを行ない、重ね合わせされた2つの浮動小数点データの仮数部の加算又は減算

を行なう。

I E E E ( Institute of Electrical and Electronics Engineers ) 754 の規格によれば、上記仮数部の右シフトを行なう際にシフトアウトされるビット中に値が ' 1 ' のビットがあれば、このビットをスティッキとして保持しなければならない。また減算の場合このビットを減算結果の仮数部にボローとして作用させなければならない。

#### (従来技術)

従来の浮動小数点演算装置は、右シフトする仮数部を ' 1 ' 検出器に供給して、LSBより何ビット目に値が ' 1 ' のビットがあるかを検出し、このLSBからのビット数を上記指数差と比較して、指数差が大なるとき、スティッキの保持又はボローの生成を行なっていた。

#### (発明が解決しようとする問題点)

しかるに、' 1 ' 検出器は仮数部の各ビットについて、そのビットより下位の全ビットに ' 1 '

キのうち少なくともいずれか一方として用いられる演算結果信号を生成する論理和回路(14)とを有する。

#### (作用)

本発明においては、右シフト回路(11)で2つの正規化された浮動小数点データのうち指数の値が小なる一方の浮動小数点データの仮数部を2つの浮動小数点データの指数差だけLSB方向に右シフトして加減算器(13)に供給すると共に、シフトアウトされる全ビットを論理和回路(14)に供給する。論理和回路(14)は供給される全ビットの論理和演算を行なって演算結果信号を生成し、この演算結果信号は減算時の加減算器(13)に対するボロー及び加減算器(13)出力に対するスティッキの少なくともいずれか一方として使用される。

#### (実施例)

第1図は本発明の浮動小数点演算装置の一実施

があるかどうかをオア回路で検出し、各オア回路でそれより上位の各ビットに設けたセレクトタの出力有無を制御するため、回路構成が複雑であり、かつ検出に要する時間が長く、浮動小数点演算を高速に行なうことができないという問題点があった。

本発明は上記の点に鑑みてなされたものであり、回路構成が簡単で高速演算が可能な浮動小数点演算装置を提供することを目的とする。

#### (問題点を解決するための手段)

本発明の浮動小数点演算装置は、一方の浮動小数点データの仮数部を右シフトして加減算器(13)に供給すると共に、右シフトによりシフトアウトされる全ビットを出力する右シフト回路(11)と、

右シフト回路(11)よりシフトアウトされる全ビットの論理和演算を行なって、減算時の加減算器(13)に対するボロー及び加減算器(13)の出力する仮数部に対する丸め処理用のスティ

例のブロック系統図を示す。同図中、端子10には演算される2つの正規化された浮動小数点データのうち指数の値が小さい浮動小数点データの仮数部例えば67ビットが入来してシフト11に供給される。また端子12には指数の値が大きい浮動小数点データの仮数部例えば67ビットが入来して加減算器13の端子aに供給される。上記67ビットの仮数部のうち下位3ビットは丸め処理用のビットであり、演算装置から外部に出力される浮動小数点データの仮数部は上位64ビットである。

右シフト回路11は64ビットの仮数部を演算される2つの浮動小数点データの指数差だけLSB方向に右シフトして加減算器13の端子bに供給し、かつ、シフトアウトされたビットを論理和回路14に供給する。

この右シフト回路11と論理和回路14とは第2図に示す構成である。第2図中、右シフト回路11は順次接続されたセレクトタ21a~21gより構成されており、6ビットのシフト制御信号の

各ビットが端子22a~22fよりセレクトア21a~21fに供給されている。シフト制御信号は2つの浮動小数点データの指数差、即ちシフトするビット数を表わしており、端子22aがMSBで、端子22fがLSBである。

セレクトア21aはシフト制御信号が'1'のときのみ $2^6$ (=64)ビットの右シフトを行ない、上位64ビットに'0'を入れて出力する。シフト制御信号が'0'のときは右シフトを行わずそのまま出力する。セレクトア21bは同様にしてシフト制御信号が'1'のときのみ $2^3$ (=32)ビットの右シフトを行ない、以下同様にしてセレクトア21fはシフト制御信号が'1'のとき $2^0$ (=1)ビットの右シフトを行ない、シフト後の67ビットの仮数部を端子23より出力する。また、セレクトア21a~21f夫々は右シフトを行なうときシフトアウトされるビットを論理和回路14に供給する。

論理和回路14内にはセレクトア21a~21e(図示せず)に対応してオアゲート24a~24e

(図示せず)が設けられており、オアゲート24aはセレクトア21aからシフトアウトされる64ビットの論理和演算を行なってオアゲート25に供給し、同様にオアゲート24b~24e(図示せず)夫々はセレクトア21b~21e(図示せず)夫々からシフトアウトされるビットの論理和演算を行なってオアゲート25に供給する。また、セレクトア21fからシフトアウトされる1ビットがオアゲート25に供給される。従ってオアゲート25では右シフト回路11よりシフトアウトされる全ビットの論理和演算が行なわれ、その演算結果信号が端子26より出力される。

第1図に戻って説明するに、論理和回路14の出力信号は加減算器13の端子Cにボローとして供給されると共に、スティッキ繰り入れ回路15にスティッキ・ビットとして供給される。

加減算器13は加算時には端子aの仮数部と端子bの仮数部との加算を行なう。また減算時には端子aの仮数部と端子bの仮数部との減算を行ない、更に減算後の仮数部のMSBより64ビット

目に対して論理和回路14の出力をボローとして作用させる。このようにして加減算された結果の67ビットの仮数部はスティッキ繰り入れ回路15に供給される。

スティッキ繰り入れ回路15は67ビットの仮数部のLSB即ち丸め処理用のビットに論理和回路14の出力であるスティッキ・ビットの論理和演算を行ない、得られた67ビットの仮数部を端子17より出力する。

このように、第1図示の装置では、従来無意味に排出されていた右シフト回路11のシフトアウトするビットを収集することによってボロー及びスティッキを生成でき、回路構成の複雑な'1'検出器を使用する必要がなくなり、その分だけ回路構成が簡単で演算を高速に行なうことができる。

更に、右シフト回路11のセレクトア21a~21fから論理和回路14のオアゲート24a、24b、...への配線も限られており単純であり、両回路11、14を密着して構成でき浮動小数点演算装置全体を高密度かつ小型に構成できる。

なお、IEEE規格以外の浮動小数点演算装置において、減算時に右シフトでシフトアウトされるビットをボローとして作用させる必要がなければ、第1図示のオア回路14出力を加減算器13の端子cに供給しなければ良く、また、スティッキビットの繰り入れの必要がなければスティッキ繰り入れ回路15を除去して加減算器13出力を端子17より出力すれば良く、上記実施例に限定されない。

#### (発明の効果)

上述の如く、本発明の浮動小数点演算装置によれば、回路構成を簡単にして高密度かつ小型に構成でき、また演算を高速に行なうことができる。

#### 4. 図面の簡単な説明

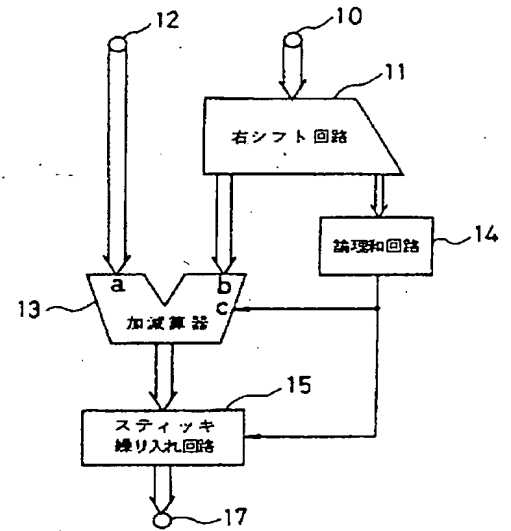
第1図は本発明の浮動小数点演算装置の一実施例のブロック系統図、

第2図は第1図示の装置の一部回路のブロック系統図である。

図中において、

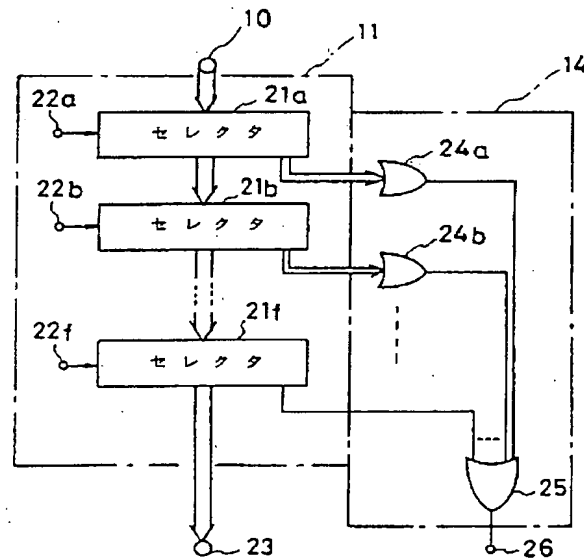
- 11は右シフト回路、
- 13は加減算器、
- 14は論理和回路、
- 15はスティッキ繰り入れ回路、
- 21a～22fはセレクタ、
- 24a、24b、25はオアゲートである。

代理人 弁理士 井 新 貞



本発明装置のブロック系統図

第 1 図



第 1 図示の装置の一部回路の  
ブロック系統図

第 2 図